

		Miércoles 15 Agosto	
Inicia	Termina	Aula 301	Aula 303
10:00	10:15	Metodología para la implementación de interfaces de usuario basadas en menú para sistemas embebidos utilizando lenguaje C	
10:15	10:30	Estimador de movimiento en secuencias de imágenes para una aplicación embebida de creación de mosaicos	
10:30	10:50	Coffee Break +Poster Session (3er Piso)	
10:50	11:10	Implementación y benchmarking de BLAS en microcontroladores de 32 bits	An Intellectual Property Core to Detect Task Scheduling-Related Faults in RTOS-Based Embedded Systems
11:10	11:30	RKH: un entorno de trabajo para el desarrollo de sistemas reactivos con Statecharts (**)	Latencias de Interrupción de Windows CE 6.0 , análisis y medición de su performance sobre plataforma micro2440
11:30	11:50	Sistema Embebido para la Asistencia de la Conducción en Rutas: Detección de carriles	Equipo portátil y autónomo para el registro de presión sanguínea intradiaria
11:50	12:10	A Low-Memory Implementation of 128-bit AES for 32 bits architectures	Interfaz gráfica de usuario para sistemas embebidos con sistemas operativos de tiempo real.
12:20	13:50	Almuerzo	
13:50	14:10	Agile Embedded Systems Design Capstone Course: The MAVRK Experience	Aplicación de FreeRTOS en el prototipo Tamagotchi Link
14:10	14:30	Diseño e Implementación de un Sistema Embebido de Control Moderno: una Experiencia Práctica	
14:30	14:50	Diseño y Verificación On-Chip de un Multiplicador Serial Basado en Bases Normales sobre GF(2 <sup>163</sup> )	Design and implementation of a multi-sensor module for mobile robot applications
14:50	15:10		Diseño e Implementación de un Cuadróptero de Vuelo Autónomo
15:20	15:40	Coffee Break (3er Piso)	
15:40	17:00	Poster Session (3er Piso)	
17:10	17:30	Acto de Apertura (Aula Magna)	
17:30	18:30	Plenaria (Aula Magna)	

\*La inscripción al congreso se hace mediante la inscripción al SASE.

<b>Moderador 10 a 12:10 hs.</b> Dr. Antonio F. Mondragon	<b>Moderador 10:50 a 12:10 hs.</b> Ing Juan Manuel Reta
<b>Moderador: 13:50 a 14:50 hs.</b> Dra. Luciana De Micco	<b>Moderador: 13:50 a 15:10 hs.</b> Mg. Guillermo Friedrich

		Jueves 16 Agosto				
Inicia	Termina	Aula 301	Aula 303			
10:00	10:15		Construcción de códigos binarios LDPC usando el algoritmo de crecimiento de borde progresivo	<b>PROTOCOLOS</b>		
10:15	10:30		QoSIP Meter: Sistema de determinación de condiciones de calidad de servicio en transmisiones de audio/vídeo en tiempo real sobre Internet			
10:30	10:50	Coffee Break +Poster Session (3er Piso)				
10:50	11:10	Embedded speaker verification in low cost microcontroller	Plataforma embebida multipropósito para comunicación mediante protocolo MIL-STD-1553b			
11:10	11:30	Codificador de señales para coherencia	A Survey of WSN Testbeds Deployment			
11:30	11:50	Quadpector: un UAV de bajo costo para observación remota	Desarrollo de controlador USB para la clase dispositivo de diagnóstico sobre plataforma PIC32			
11:50	12:10		(**)			
12:20	13:50	Almuerzo				
13:50	14:10	Osciloscopio digital con conexión Ethernet e interfaz virtual para monitoreo de sistemas eólicos	What is ARM? The Architecture for the Digital World (*)	<b>SPONSOR</b>		
14:10	14:30	Desarrollo de un dispositivo inalámbrico para monitoreo de variables utilizando The Contiki OS				
14:30	14:50	Control difuso basado en microcontrolador para la producción de biogás en digestión anaeróbica tipo batch de fracción orgánica de residuos sólidos	The ARM University Program - Preparing Today's Students for Tomorrow's Technology (*)			
14:50	15:10	Diseño y fabricación del sistema de interfaz y control de contadores de muones				
15:20	15:40	Coffee Break +Poster Session (3er Piso)				
15:40	16:00	<b>FPGAs y HDLs</b>	Implementación de funciones básicas del amplificador Lock-in en FPGA	Procesador de Petri para la Sincronización de Sistemas Multi-Core Heterogéneos	<b>ARQ. DE PROCESADORES</b>	
16:00	16:20			Simulación de Procesador Multi-Core Heterogéneo basado en Redes de Petri		
16:20	16:40			Implementación de un procesador multi-núcleo o u basado en el procesador Plasma		
16:40	17:10	Poster session (3er Piso) y foto grupal				
17:10	17:30	Distinciones y premios a los trabajos del CASE (Aula Magna)				
17:30	18:30	Plenaria (Aula Magna)				

(\*) En idioma inglés, sin traducción

<b>Moderador 10:50 a 12:10 hs.</b> Dra. Luciana De Micco	<b>Moderador 10 a 12:10 hs.</b> Ing. Carlos Taffernaberry
<b>Moderador: 13:50 a 16:20 hs.</b> Ing. Julio Aldonate	<b>Moderador 13:50 a 16:40 hs.</b> Ing. Eduardo Filomena

		Viernes 17 Agosto	
Inicia	Termina	Aula 301	Aula 303
10:00	10:15	Computación híbrida y colaborativa en acción: un caso de estudio utilizando FPGA y PC	
10:15	10:30	Medición de vibraciones en pequeños motores eléctricos	
10:30	10:50	Coffee Break +Poster Session (3er Piso)	
10:50	11:10	Diseño e implementación de un nodo compatible 802.15.4 para redes inalámbricas de sensores	Plataforma Genérica de Conversión de Interfaces para Buses de Datos en Aviónica
11:10	11:30	Recarga Fácil por Radio Frecuencia, RF2	Memory-mapped I/O aprovechando las memorias Dual Port BRAM de una FPGA
11:30	11:50	Diseño e Implementación de Sistema Embebido para Telemetrizar Estaciones Limnimétricas	Inyección de Fallas utilizando memorias de dos puertos: Un nuevo y versátil método para emular SEUs
11:50	12:10	Sistema georeferenciador con parcelamiento virtual y adquisidor de sonidos masticatorios en rumiantes en pastoreo extensivo	Single Event Upset en FPGA (SRAM)
12:20	13:50	Almuerzo	
13:50	14:10		CODEC de audio para sistema de bajos recursos y su análisis e implementación en Matlab
14:10	14:30	Generación de imágenes de alto rango dinámico con mapeo de tonos en un sistema embebido con arquitectura híbrida	Analysis and implementation of a noise reduction algorithm for a low-cost hearing aid device
14:30	14:50	Procesamiento de señales de Speckle dinámico. implementación del algoritmo de Fujii en FPGA	Implementación de un Receptor BPSK de uso espacial utilizando un DSP
15:20	15:40	Coffee Break +Poster Session (3er Piso)	
15:45	16:00	Foto grupal	
16:00	17:10	Poster session (3er Piso)	
17:10	17:30	Acto de cierre (Aula Magna)	
17:30	18:30	Plenaria (Aula Magna)	

IMPLEMENTACIÓN DE SISTEMAS EMBEBIDOS

FPGA

DSP

<b>Moderador 10 a 12:10 hs.</b> Ing. Gustavo Alessandrini	<b>Moderador 10:50 a 12:10 hs.</b> Ing. Salvador Tropea
<b>Moderador: 13:50 a 14:50 hs.</b> Ing. Gustavo Alessandrini	<b>Moderador 13:50 a 14:50 hs.</b> Dra. Cecilia Galarza