



Ciclo de Vida de un CI para Comunicaciones por Fibra Optica

Hugo Carrer
Agosto 2013

*Difundir que tipo de trabajo se hace en
ClariPhy Argentina*

1. Pantallazos sobre el ciclo de vida de un IC para comunicaciones opticas
2. Incluyendo algunos ejemplos tomados del CL10010

La definición del proyecto arranca en base a

- **Interacción con los potenciales clientes:**
Preguntarles que quieren y/o ofrecerles algo que aún no saben que quieren
- **Comités de normas (IEEE, OIF, etc):** Intentar que el comité incorpore nuestras propuestas en sus normas o recomendaciones
- **Información que se obtenga de la competencia:**
Nunca es muy confiable pero sirve para darse una idea de lo que están haciendo los demás
- **Ideas propias:** Estudios bibliográficos, proyectos de investigación, estimaciones de hacia donde se mueve la industria

Product Requirements Document

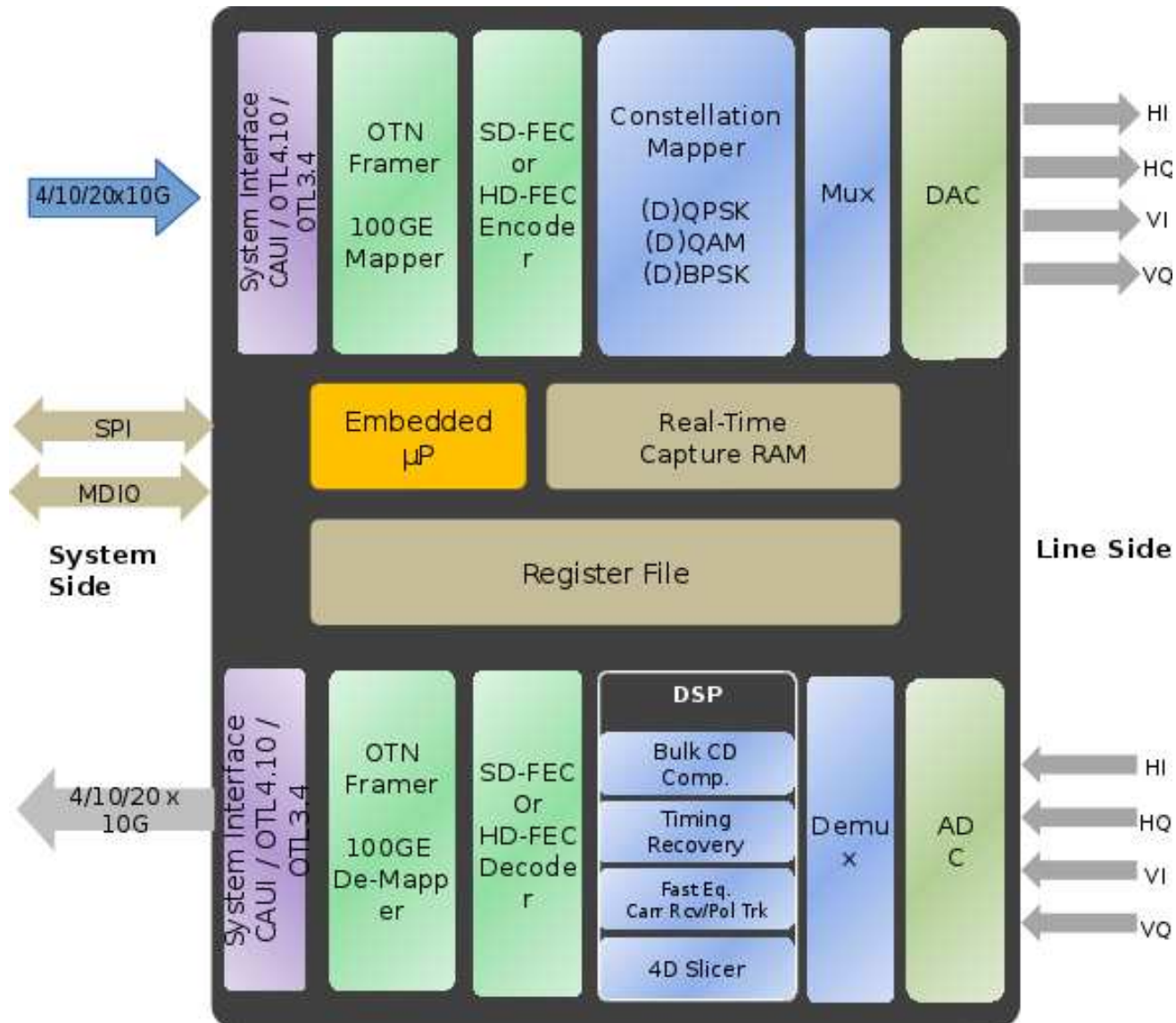
Que cosas va a hacer el CI

Definición de la arquitectura

Como va a hacer lo que tiene que hacer

- Transceptor coherente
- Multiplexación de polarización
- Control del espectro transmitido
- Compensación de CD hasta 250ns/nm (14700km)
- Ajuste de tasa por interpolación digital
- 4 DACs de 8 bits a 64GHz
- Baudrate variable entre 11 y 32Gbaudios
- BPSK, QPSK, QAM
- SD-FEC con overhead variable
- 6 cores Tensilica integrados
- Trade off de consumo vs performance
- 4 ADCs de 8 bits a 64GHz

Definición de la Arquitectura

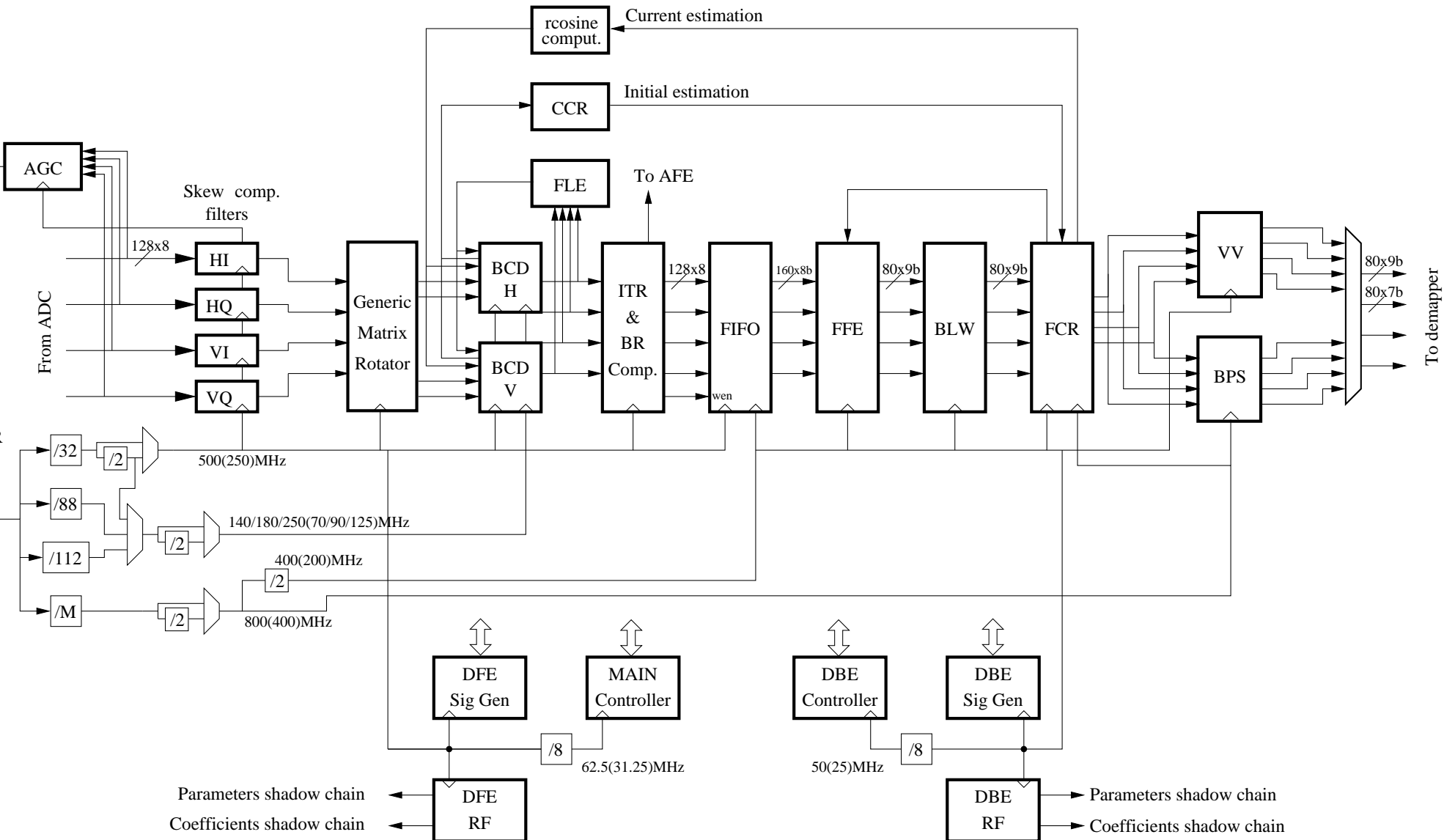


Modelo de Punto Flotante

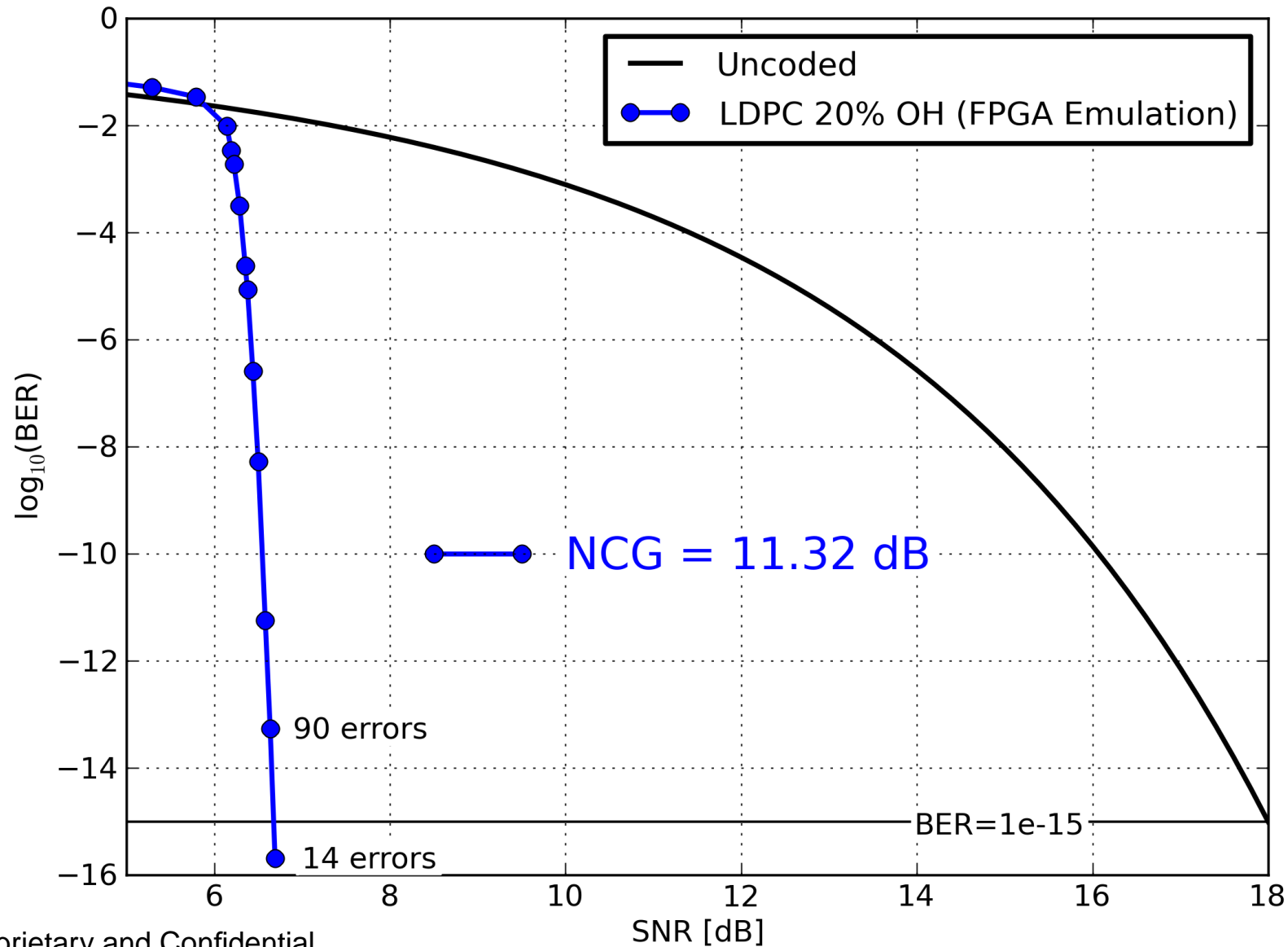
- Exploración de las posibles arquitecturas
- Análisis de performance
- Verificación de los requerimientos
- Generación de especificaciones analógicas
- Selección de la arq. definitiva
- Soporte a clientes

- Simulador en C++, orientado a eventos, modela canal, concurrencia de hardware, y bloques analógicos ($\approx 100k$ líneas)
- Se definen los tests que debe pasar el sistema para cumplir con las especificaciones
- Infraestructura de regresión en Python ($\approx 70k$ líneas)
- Se definen las especificaciones para los bloques analógicos, BW, Jitter, ENOB, etc.

- Resolución de todas la señales
- Factores de paralelismo
- Frecuencias de reloj
- Diseño y emulación de FEC
- Diseño de etapas de Framing/Protocolo
- Generación de modelo de referencia para la implementación
- Verificación funcional



- Simulación/emulación
 - Simulador C++ de punto fijo ([Cluster local y Amazon Cloud](#))
 - Simulación en GPU ([Amazon Cloud](#))
 - Emulación en FPGA ([8 Virtex 5 + 6 Virtex 6](#))
- Desarrollo del RTL ([Verilog](#))



- La funcionalidad se verifica en el simulador en C++ de punto fijo
- Este simulador es la referencia para el RTL
- Se generan casos hasta que el coverage llega al 100%
- Se hace vector matching con estas señales
- Se hace lo mismo con los bloques ya integrados

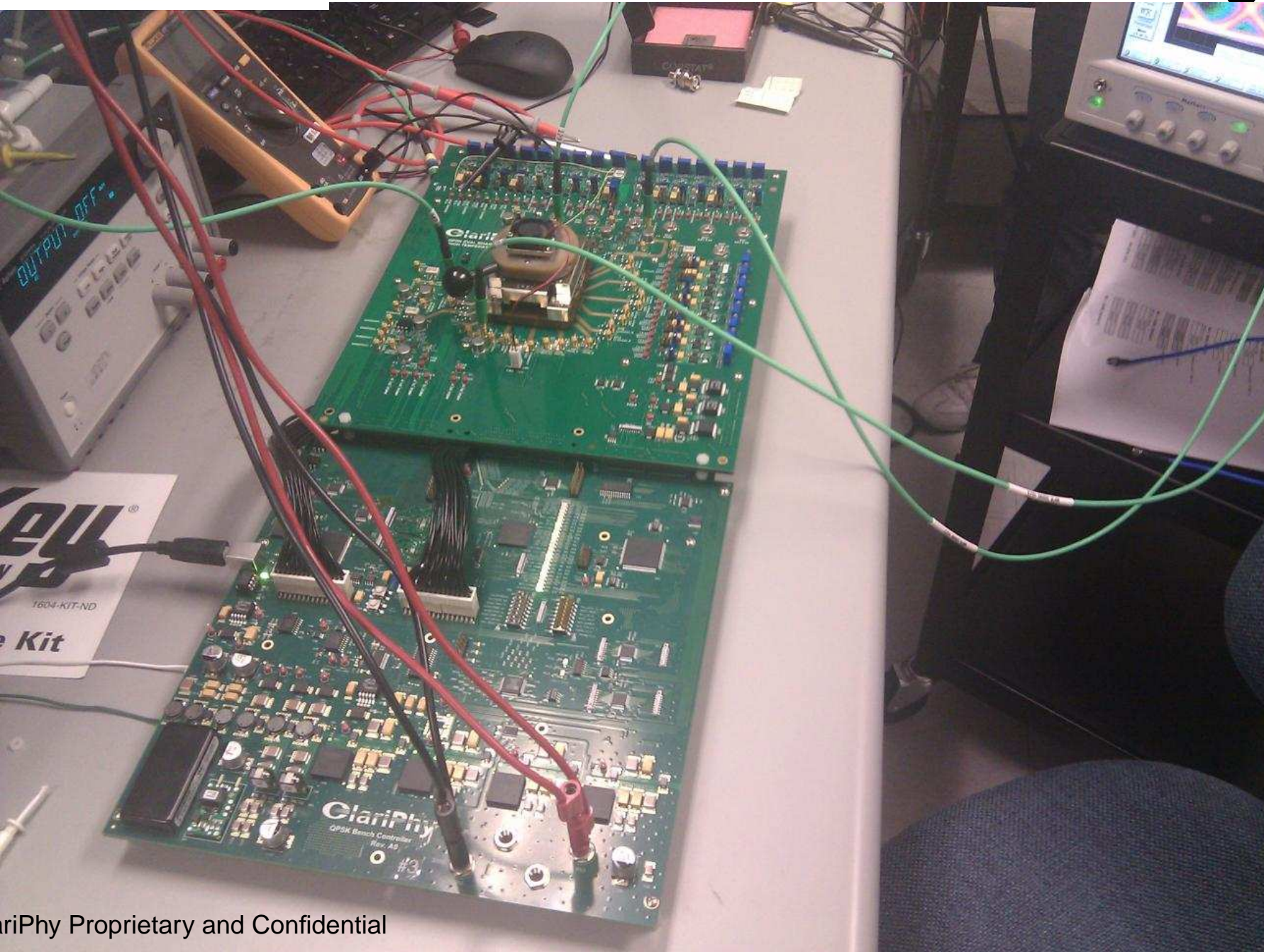
- Simulaciones del sistema completo ([Cluster local y Amazon Cloud](#))
- Simulaciones de todos los modos de operación ([>70](#))
- Simulaciones en Baudrates aleatorios ([> 1k](#))
- Uso de señales medidas ([>2k](#))
- Infraestructura de regresión y VM ([Perl, Python](#))
- Vector matching del RTL ([>1.2k](#))

- Se particiona el diseño en bloques que las herramientas puedan manejar (\approx 60M celdas, en bloques de 3M celdas)
- Se realizan corridas de P&R y se realimenta al diseño en caso de presentar problemas
- Se realizan simulaciones a nivel de gate con vectores del simulador
- Integración de bloques en el floorplan final
- Simulaciones a nivel de gate de todo el diseño completo



- El EVK se utiliza para :
 - Probar y caracterizar el chip
 - Realizar demos
 - Entregárselo a los clientes para que evalúen la solución
 - Sistema de referencia para las implementaciones de los clientes
- Kit de dos placas: Controlador + DUT, Optica (U\$S 60k)
- GUI para controlar el sistema, es la interfaz de comunicacion con todo el EVK
- Basada en Java
- Interprete python integrado
- Control de equipamiento de laboratorio

- Se planea durante unos 4 meses
- Dura unas 4 semanas, las dos primeras sin clientes
- Approx. 15 personas full time en el laboratorio (14x7)
- Se verifica la funcionalidad de todos los bloques
- Se corren pruebas de performance de referencia
- Se escribe el firmware de configuración
- Soporte inicial a los clientes
- Hand-off a SVT

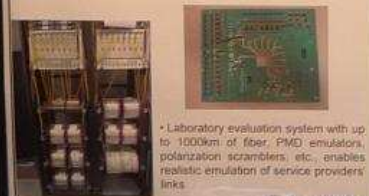
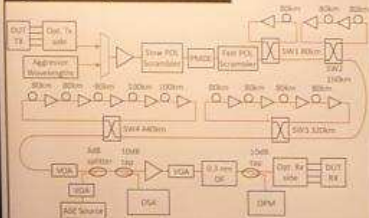


Paper 19.3 IDS
A 40nm CMOS Single-Chip 50Gb/s DP-QPSK/BPSK Transceiver with Electronic Dispersion Compensation for Coherent Optical Channels

Diego Crivelli^{1,2}, Mario Hueda^{1,2}, Hugo Carrer^{1,2}, Jeff Zachan¹, Vadim Gutnik¹, Martin Del Barco¹, Ramiro Lopez¹, Geoff Hatcher¹, Jorge Finochietto¹, Michael Yeo¹, Andre Chartrand¹, Norm Swenson¹, Paul Voois¹, Oscar Agazzi^{1,3}

¹ClariPhy, Cordoba, Argentina, ²National University of Cordoba, Cordoba, Argentina, ³ClariPhy, Irvine, CA

System Implementation



* Laboratory evaluation system with up to 1000km of fiber, PMD emulators, polarization scramblers, etc., enables realistic emulation of service providers links

ClariPhy

Architecture



BCD=Bulk Chromatic Dispersion
FLE=Fiber Length Estimator
OD=Optical Demodulator
CCR=Coarse Carrier Recovery
SLW=Resonance Wander
OM=Optical Modulator

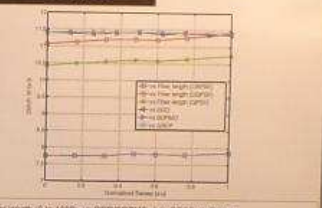
• Monolithic chip incorporating TX, RX, AFE, Framer, Host Interface, Channel Diagnostics, etc.

• Compensates 90ns/rm CD, >200ps DGD, >8000ps² SOPMD

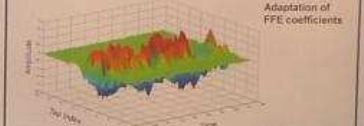
• 0.5W/channel ADC, FOM=0.4 pJ/conv

ClariPhy

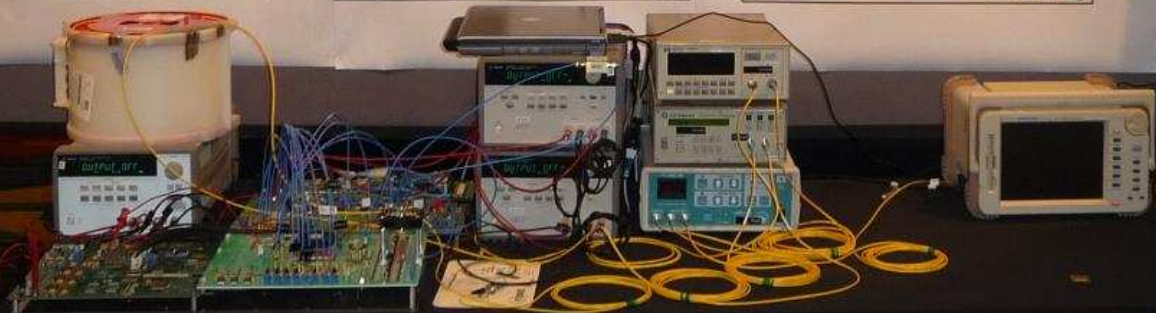
Verification



vs Fiber length (0 to 1000km) DGD/SOPMD=0, OSOP=0, DPBPSK
vs Fiber length (0 to 1000km) DGD/SOPMD=20, OSOP=0, DPBPSK
vs Fiber length (0 to 1000km) DGD/SOPMD=100, OSOP=0, QPSK
vs DGD (0 to 200ps) SOPMD=0, OSOP=0, DPBPSK, length=1000km
vs SOPMD (0 to 8000ps²) DGD=100ps, OSOP=0, DPBPSK, length=1000km
vs OSOP (0 to 2000ps) DGD/SOPMD=100ps/8000ps², DPBPSK, length=1000km



ClariPhy



Paper 11.7 IDS
A 120-1400 Gbps 2.5Gbps 28nm CMOS Transceiver with 32G and 64Gbps Modulation for 0.1 Tera Standard CMOS

Que Podemos Hacer

	Sistemas	RTL	BackEnd	Dis. Ana.	Lay. Ana.	Bring up	GUI	Asist. Clientes	Caract.	Hardware	Firmware
CL1010 (90nm)	●	●	●	●	●	●	●	●	●	●	●
CL1011 (65nm)	●	●	●	●	●	●	●	●	●	●	●
CL1161 (65nm)	●	●	●	●	●	●	●	●	●	●	●
CL1011C (65nm)	●	●	●	●	●	●	●	●	●	●	●
CL1040 (40nm)	●	●	●	●	●	●	●	●	●	●	●
CL4010 (40nm)	●	●	●	●	●	●	●	●	●	●	●
CL10010 (28nm)	●	●	●	●	●	●	●	●	●	●	●

Hugo S. Carrer

hugo.carrer@clariphy.com.ar

<http://www.clariphy.com.ar>