

# Aplicaciones con FPGA

**Martín Hidalgo**

(mhidalgo@emtech.com.ar)

**Nicolás Catalano**

(ncatalano@emtech.com.ar)

- Alto grado de paralelismo y throughput en procesamiento de señales
- Asignación de pines flexible
- Interfaces multi-estándar
- Reconfigurabilidad y reutilización
- Escalabilidad en el flujo de desarrollo
- Bajo tiempo de llegada al mercado vs. ASIC
- Simulación de ASICs

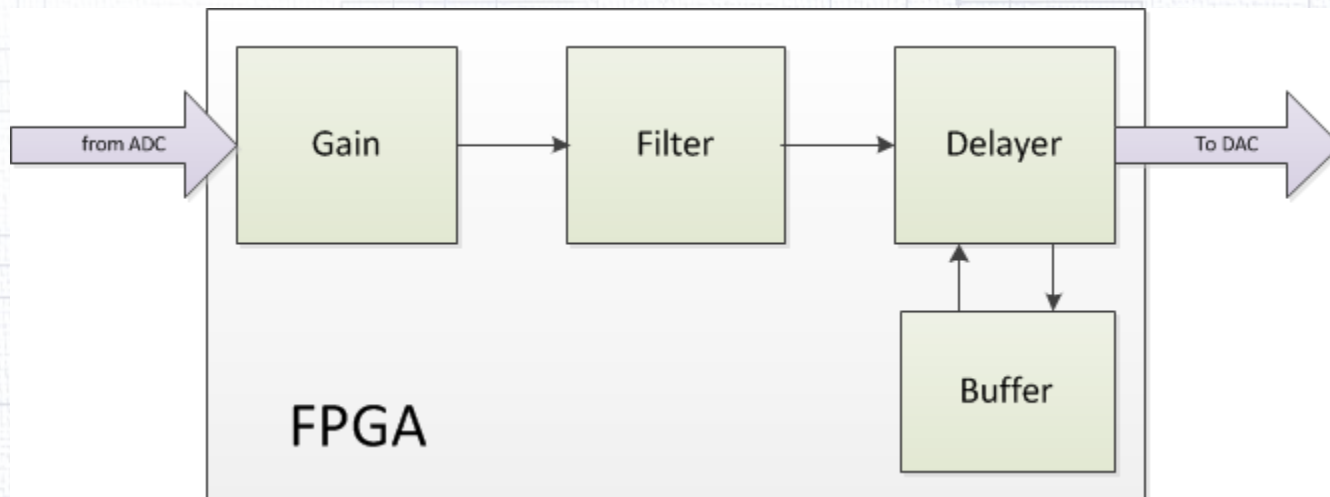
- I. Procesamiento de señales
- II. SDR - Software Defined Radio
- III. Manejo de interfaces
- IV. Generación de señales de sincronismo
- V. Técnicas de mitigación de errores en proyectos espaciales
- VI. Adquisición y procesamiento de imágenes

# I. Procesamiento de Señales

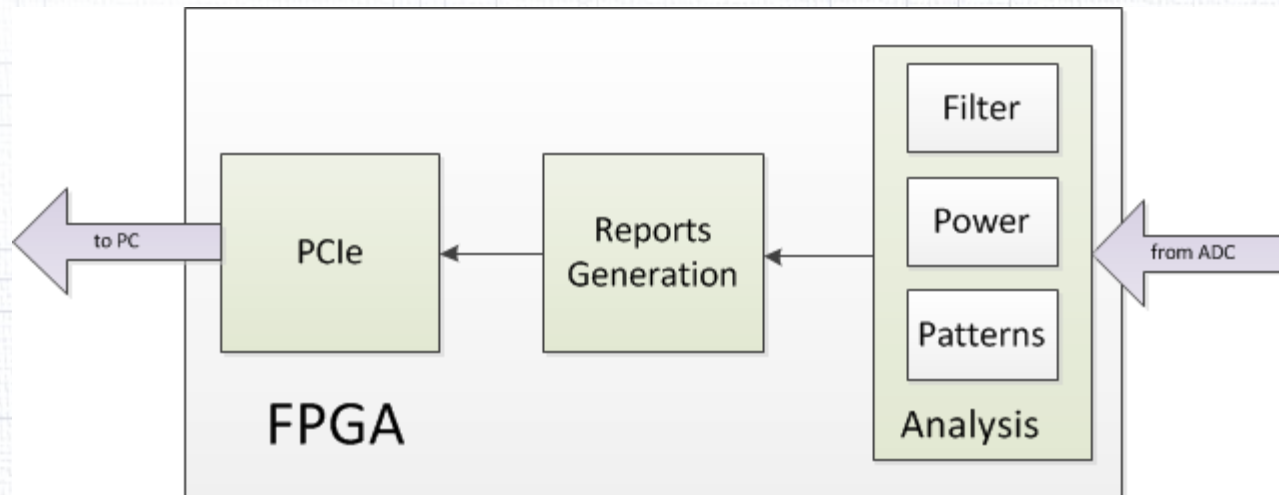
---

- Procesamiento en tiempo real
- Análisis de señales
- Adquisición de señales
- Generación/síntesis de señales

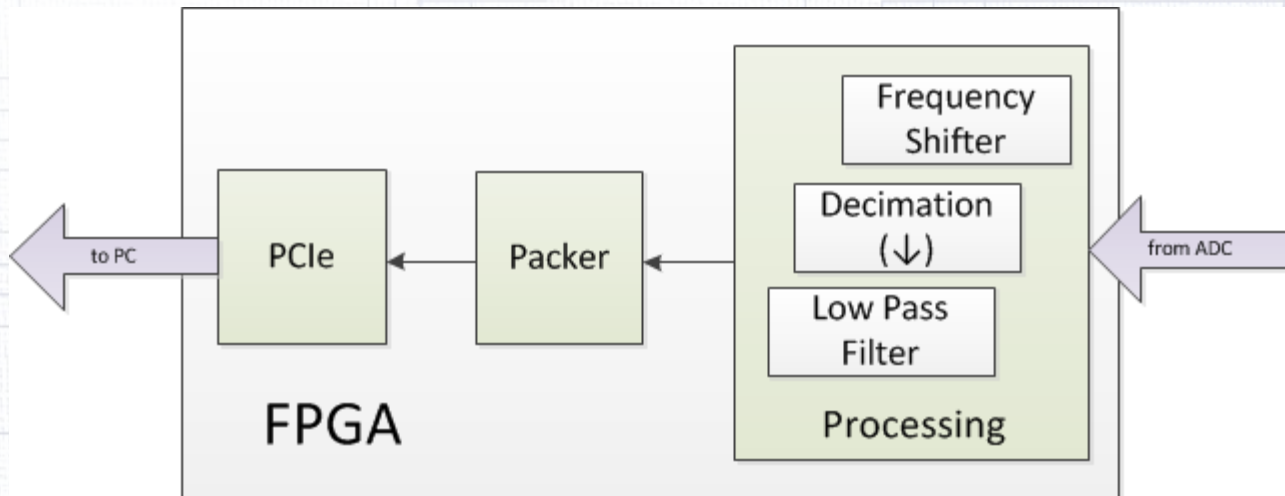
- ❑ Se capturan señales analógicas mediante un ADC
- ❑ Se procesan digitalmente en la FPGA:
  - ❑ Filtrar frecuencias
  - ❑ Aplicar Ganancia (o Atenuación)
  - ❑ Agregar retardo
- ❑ Los señal procesada se convierte en analógica con un DAC



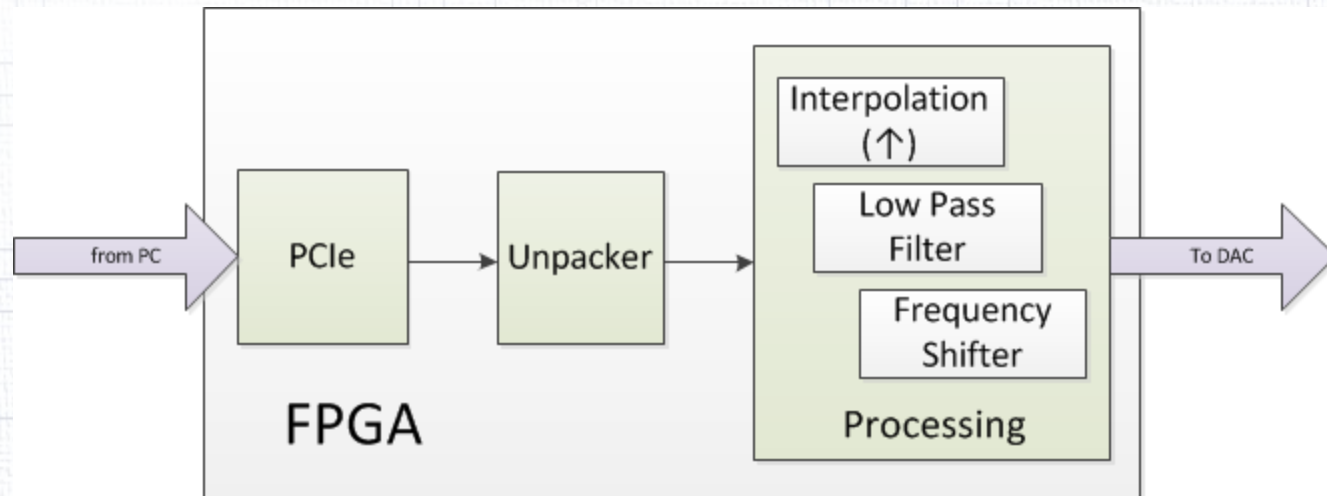
- ❑ Se capturan señales analógicas mediante un ADC
- ❑ Se analizan digitalmente en la FPGA:
  - ❑ Componentes de frecuencia
  - ❑ Medición de potencia
  - ❑ Detección de patrones
- ❑ Se generan reportes con los resultados



- ❑ Se capturan señales analógicas mediante un ADC
- ❑ En la FPGA se procesan y empaquetan:
  - ❑ Desplazamiento en frecuencia
  - ❑ Decimación o Downsampling
  - ❑ Filtro pasa bajo
- ❑ Los paquetes de datos generados se envían a la PC



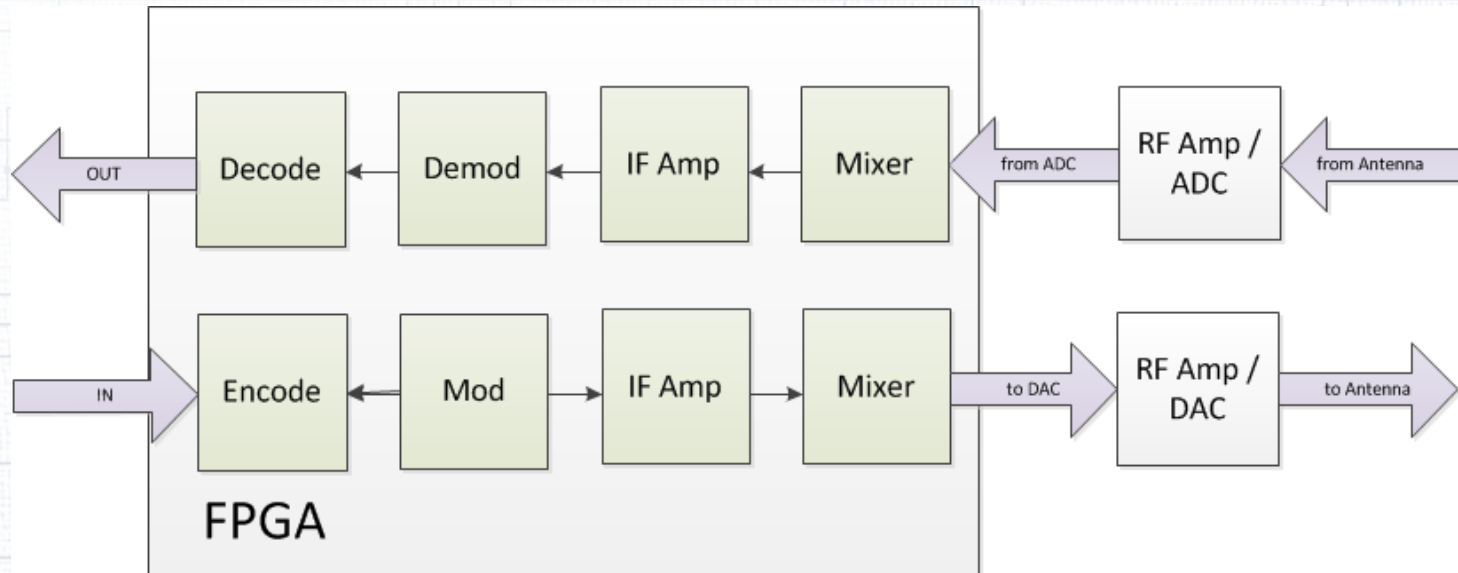
- ❑ En un SW de PC se crean los datos y se envían a la FPGA en paquetes
- ❑ En la FPGA se desempaquetan y procesan:
  - ❑ Interpolación o Upsampling
  - ❑ Filtro pasa bajo
  - ❑ Desplazamiento en frecuencia
- ❑ La señal sintetizada se envía a un DAC

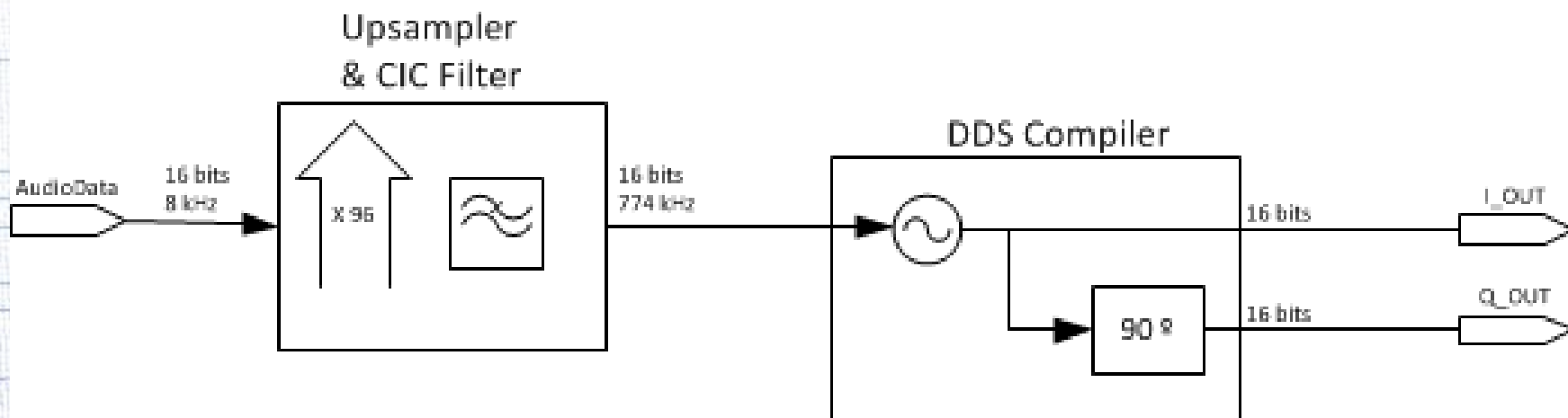


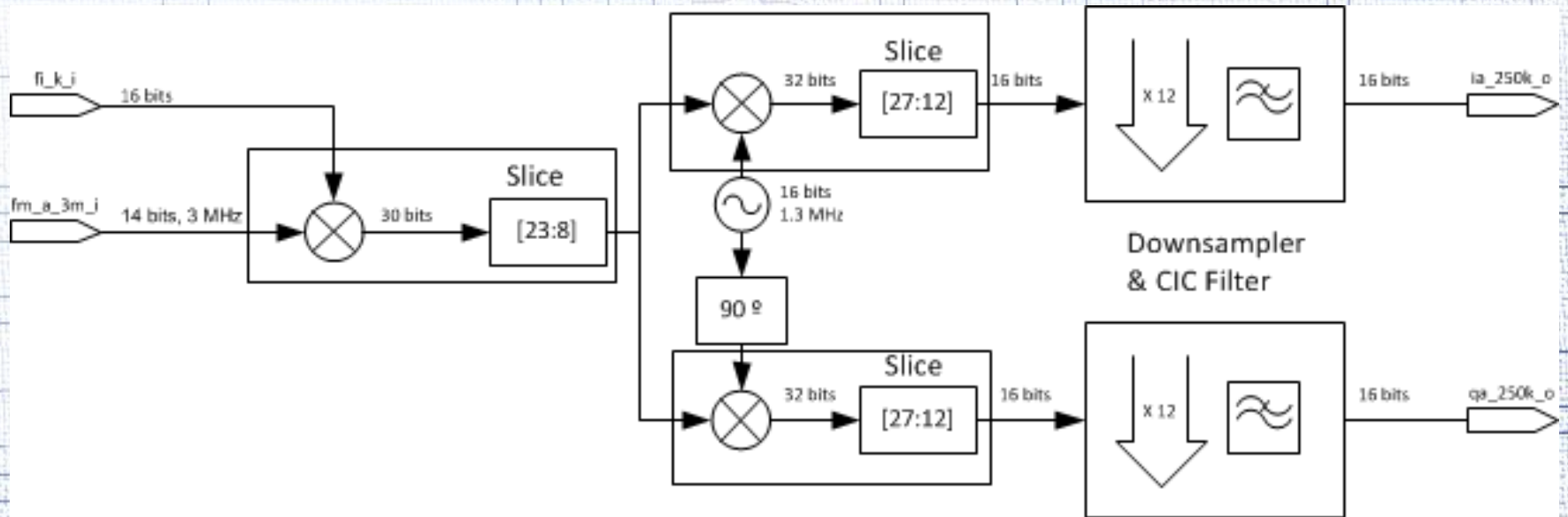


## II. Software Defined Radio

- ❑ Caso especial de procesamiento de señales
- ❑ Parte de las cadenas de transmisión y de recepción de un sistema de comunicación se implementan en FPGA
- ❑ Se economiza en cantidad de componentes
- ❑ Se brinda gran flexibilidad, reconfigurabilidad, etc.







## III. Manejo de interfaces

### VME

- 32b address
- 16b data
- Múltiples terminales con ID propio

### Interfaces Serie

I2C

SPI

UART

### SERDES

## IV. Mitigación de Errores (para proyectos espaciales)

---

- Hamming
- Reed Solomon
- Triple votación
- Codificación de estados de FSMs

- ❑ Para proteger datos en memorias volátiles
- ❑ Se almacenan los Datos + bits de redundancia
- ❑ En las lecturas se utilizan los datos y los redundantes para detectar y corregir errores
- ❑ Generalmente detectan errores de hasta 2 bits y corrije errores de solo 1 bits

- ❑ Se usa en aplicaciones de stream de datos
- ❑ El codificador RS agrega símbolos de paridad por cada cierta cantidad de símbolos de datos
- ❑ Los símbolos de paridad se transmiten o almacenan junto con los datos
- ❑ El decodificador RS detecta y corrige cierto tipo de errores y regenera los datos originales

## Codificación de estados de FSMs

- Se codifican como “safe one hot”
- One hot: los estados válidos solo pueden tener un 1 y el resto deben ser 0:

0001, 0010, 0100, 1000

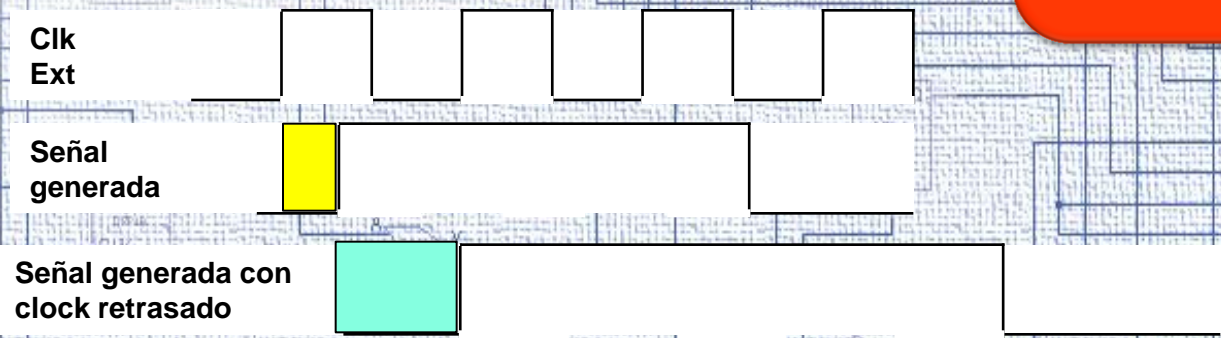
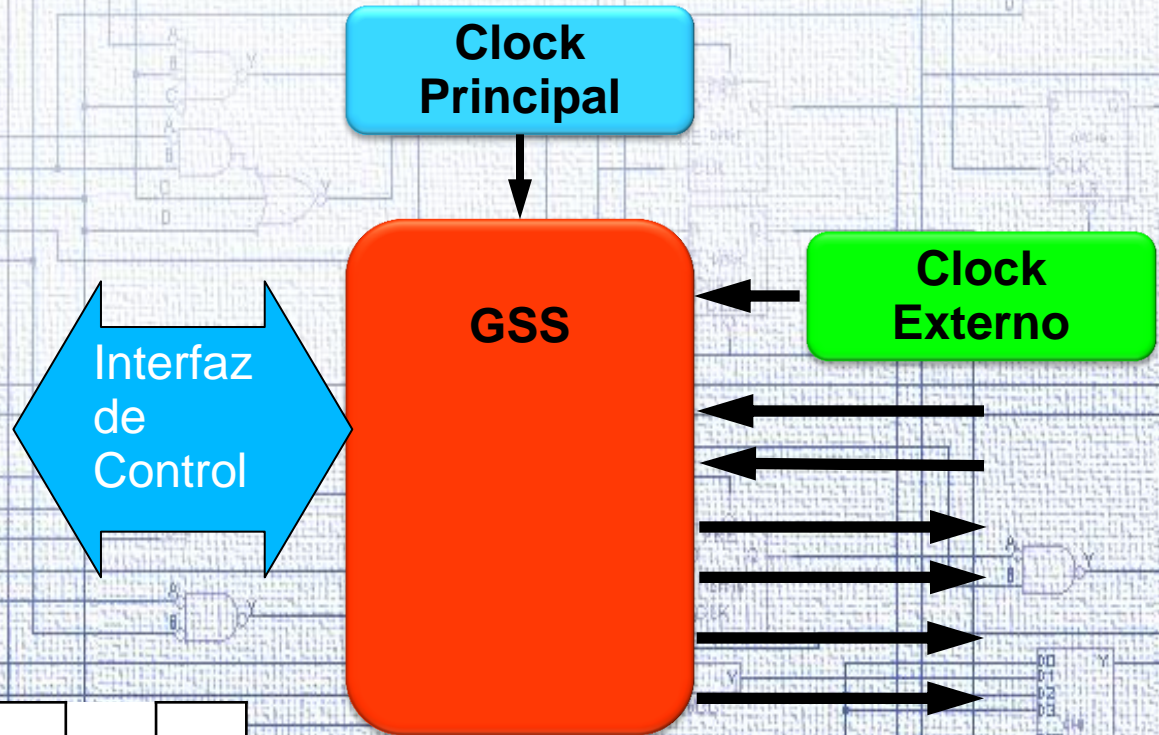
- En caso de que por algún efecto de la radiación un bit cambie, el estado resultante es inválido
- Safe: si el estado toma cualquier valor inválido la FSM vuelve al estado inicial



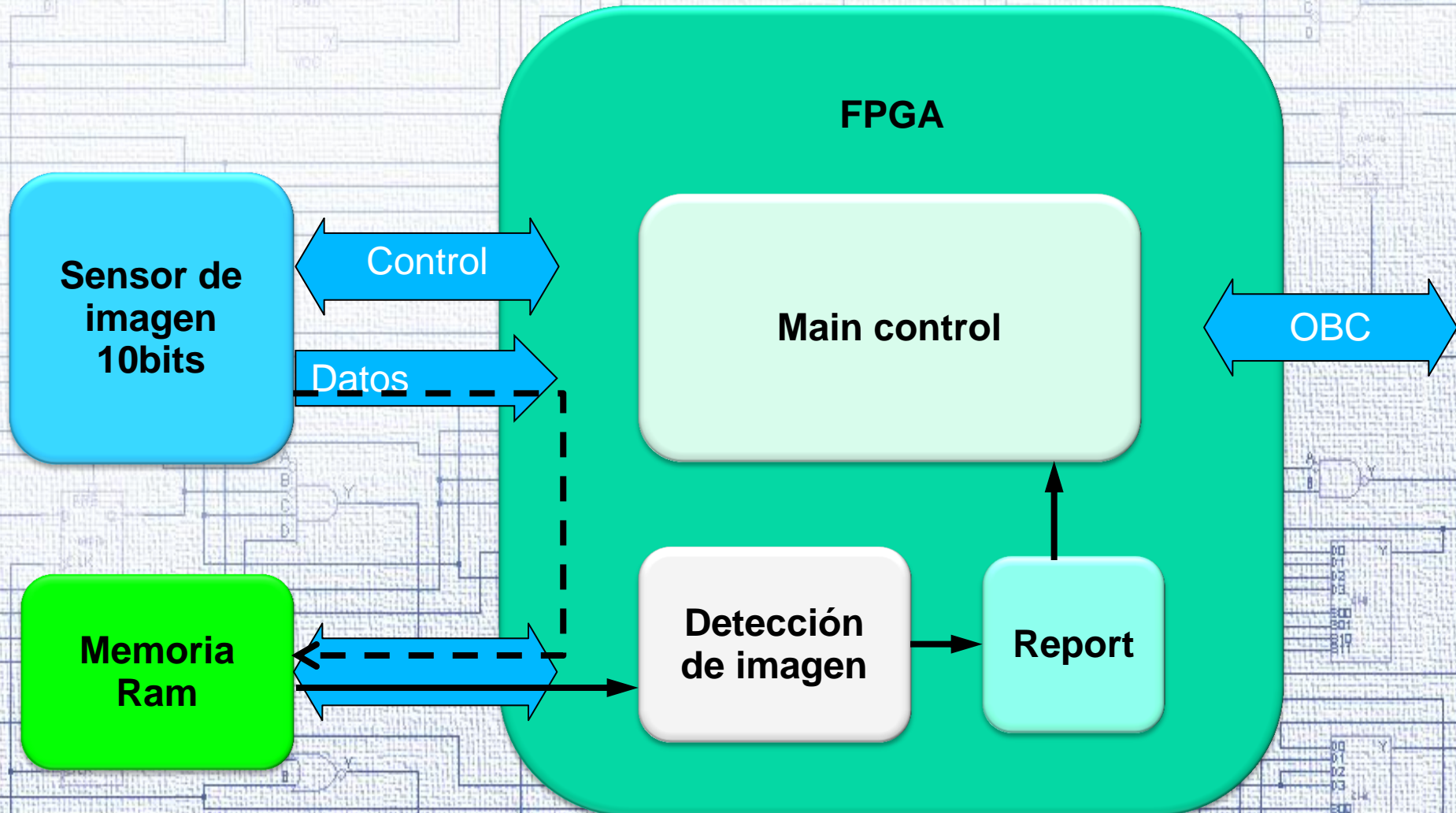
- ❑ En sistemas críticos ciertas señales se registran triplemente redundadas
- ❑ En caso de SEU (Single Upset Event) alguna de las copias se puede alterar
- ❑ Es poco probable que se alteren dos o las tres
- ❑ En caso de de discrepancia, se elige el valor mas probable:  
(000-001-010-100 => 0) (111-110-101-011 => 1)

# V. Generación de señales de sincronismo (GSS)

- Control independizado
- Distintos dominios de reloj
- Delay de Clock externo configurable



## VI. Detección de imágenes



---

# Muchas gracias