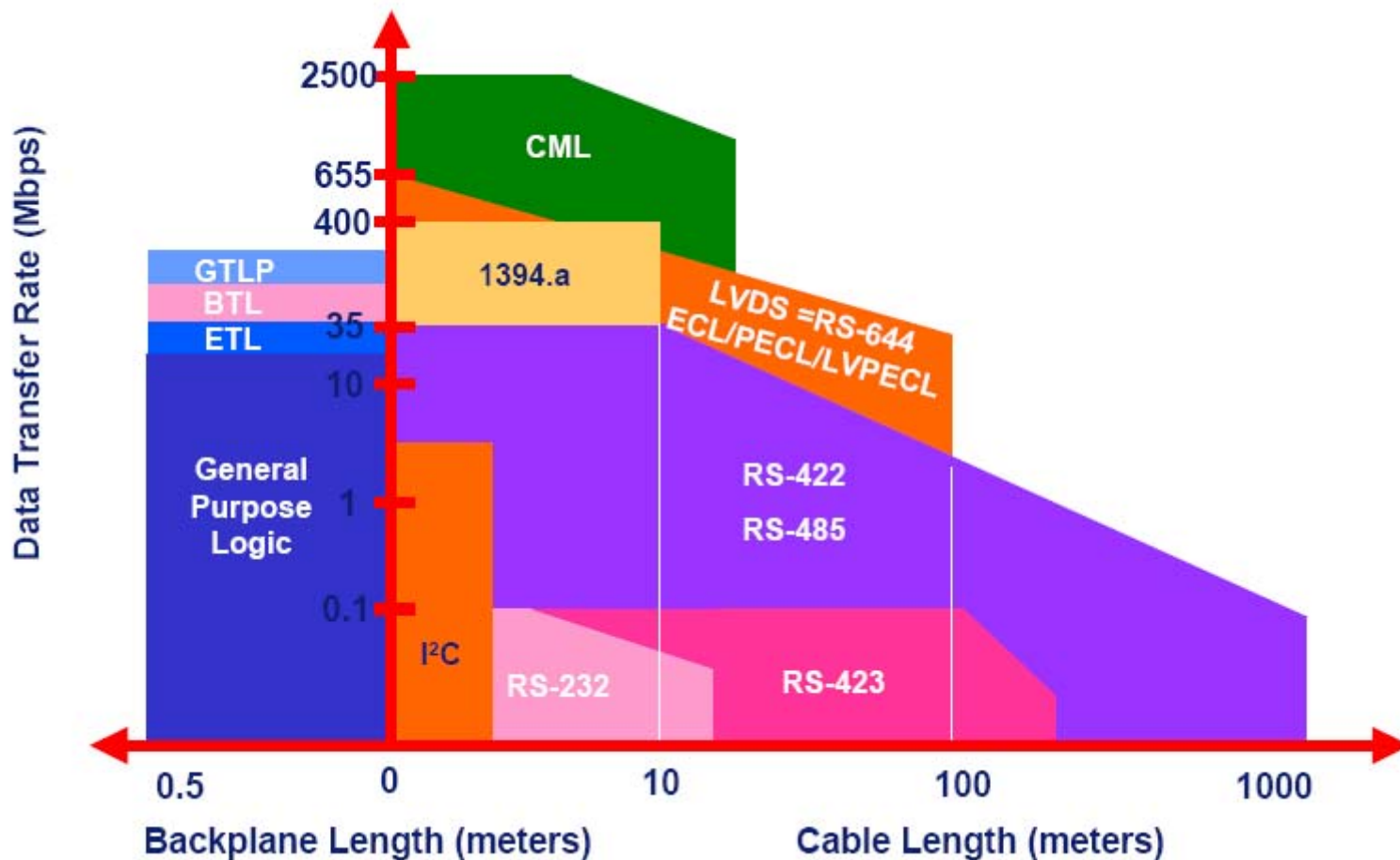


# I<sub>2</sub>C

Ing. Pablo Martín Gomez  
pgomez@fi.uba.ar

# Comunicaciones en un bus serie

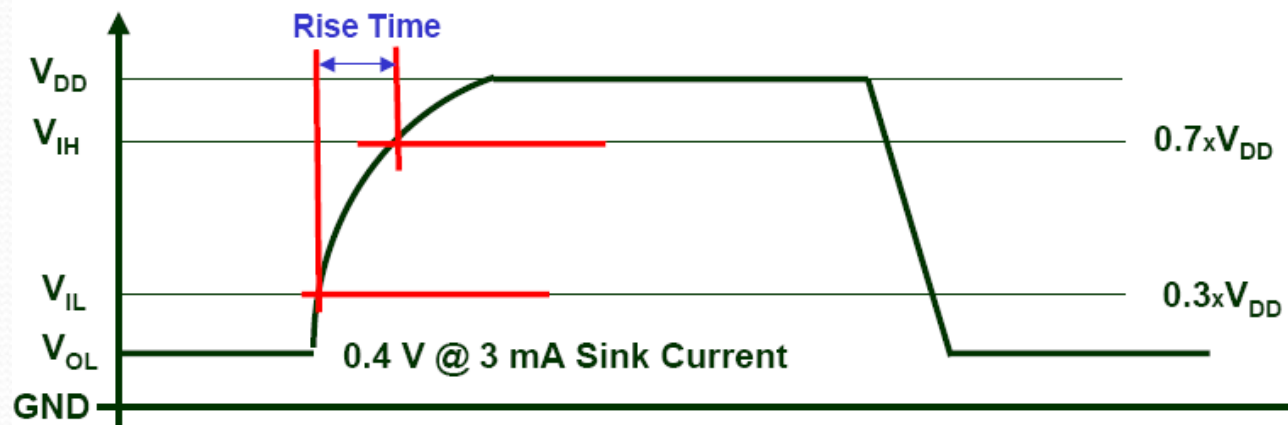


# Comunicaciones en un bus serie

Bus	Data rate (bits / sec)	Length (meters)	Length limiting factor	Nodes Typ.number	Node number limiting factor
I <sup>2</sup> C	400k	2	wiring capacitance	20	400pF max
I <sup>2</sup> C with buffer	400k	100	propagation delays	any	no limit
I <sup>2</sup> C high speed	3.4M	0.5	wiring capacitance	5	100pF max
CAN 1 wire	33k	100	total capacitance	32	load resistance and transceiver current drive
CAN differential	5k	10km	propagation delays	100	
	125k	500			
	1M	40			
USB (low -speed, 1.1)	1.5M	3	cable specs	2	bus specs
USB (full -speed, 1.1)	1.5/12M	25	5 cables linking 6 nodes (5m cable node to node)	127	bus and hub specs
Hi-Speed USB (2.0)	480M				
IEEE-1394	100 to 400M+	72	16 hops, 4.5M each	63	6-bit address

# I<sup>2</sup>C - Velocidad

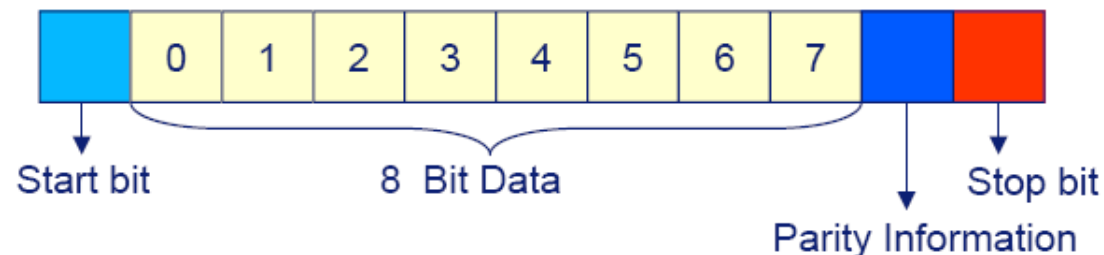
	Standard-Mode	Fast-Mode	High-Speed-Mode	
Bit Rate (kbits/s)	0 to 100	0 to 400	0 to 1700	0 to 3400
Max Cap Load (pF)	400	400	400	100
Rise time (ns)	1000	300	160	80
Spike Filtered (ns)	N/A	50	10	
Address Bits	7 and 10	7 and 10	7 and 10	





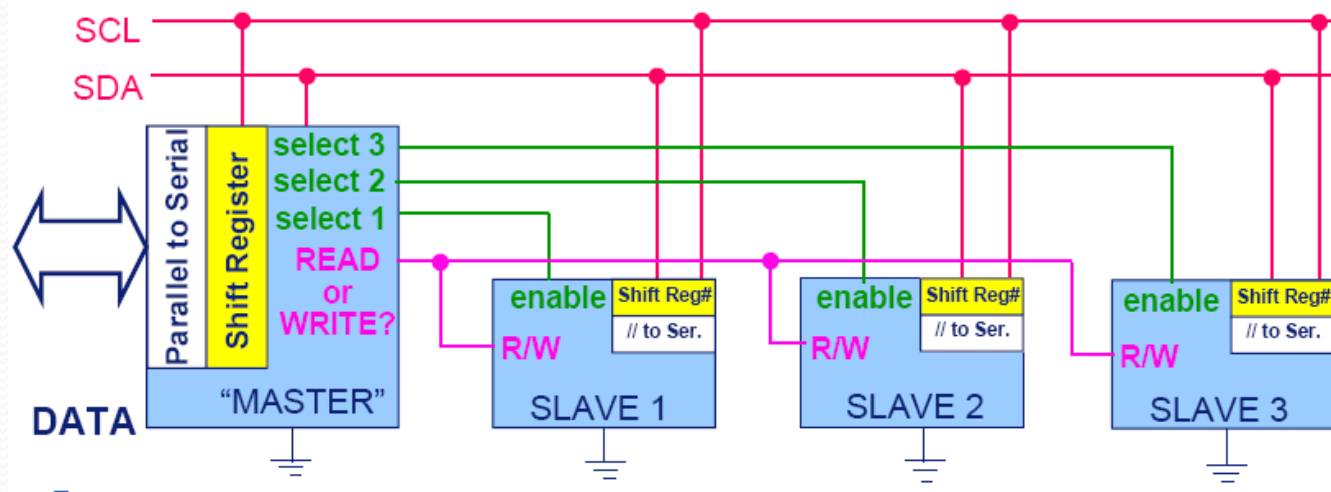
# UART

- Universal Asynchronous Receiver Transmitter
- Estándar de comunicación implementado en los 60's
- Simple, universal, bien entendido, mucho soporte
- Estándar de comunicación de baja velocidad: hasta 1 Mbits/s
- La señal de clock no está incluida en los datos: Emisor y Receptor deben acordar parámetros de "timing" por adelantado
- Los bits de "Start" y "Stop" bits indican datos a enviar
- Puede enviarse información de paridad



# Comunicaciones en un bus serie

- Una red punto a punto no requiere la señal de control “Select”
- Una comunicación asincrónica no tiene señal de Clock



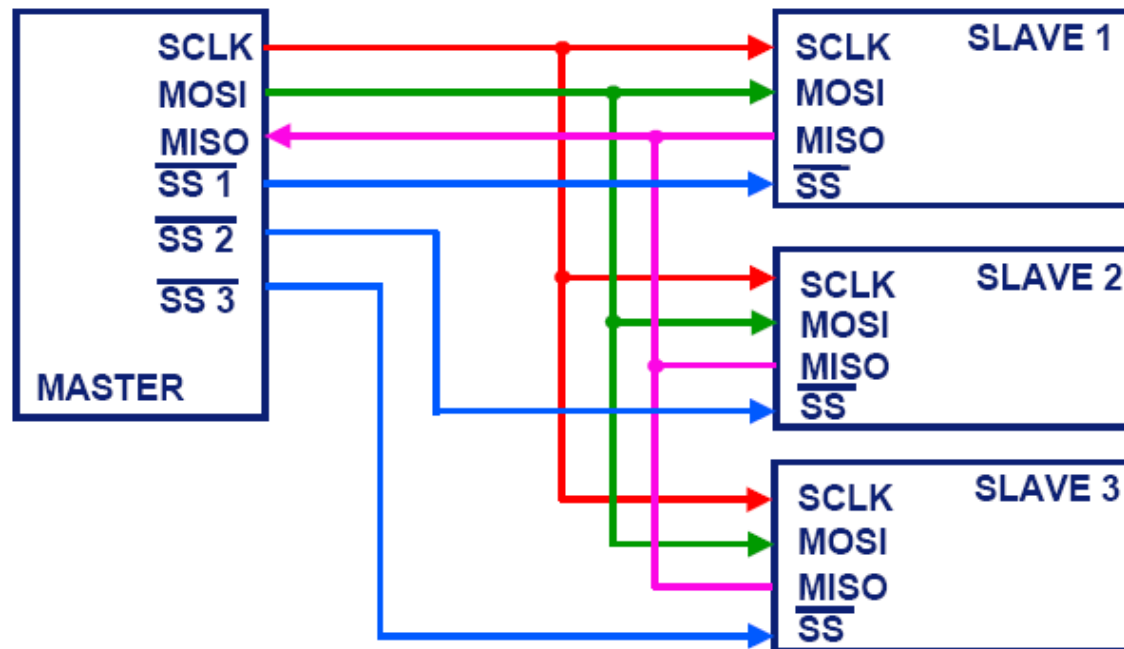
- Dependiendo del protocolo, las señales de Data, Select y R/W pueden compartir la misma línea
- Solamente el “master” puede comenzar una comunicación. Los slaves (esclavos) solamente `hablan cuando se les habla`



# SPI

- Serial Peripheral Interface (SPI) es una conexión de datos serial sincrónica de 4 líneas full-duplex:
  - SCLK: Serial Clock
  - MOSI: Master Out Slave In (Datos del Master al Slave)
  - MISO: Master In Slave Out (Datos del Slave al Master)
  - SS: Slave Select (Selección de Slave)
- Desarrollado originalmente por Motorola
- Utilizado para conectar los periféricos entre sí y con los microprocesadores
- Se necesitan “3 + n” líneas siendo n = número de dispositivos
- Solamente un master activo a la vez
- Varias velocidades de transmisión (función del clock del sistema)

# SPI - Configuración



- Esquema de transmisión simple: 8 o 16 bits
- Comunicaciones Full duplex
- El número de líneas es proporcional al número de dispositivos del bus

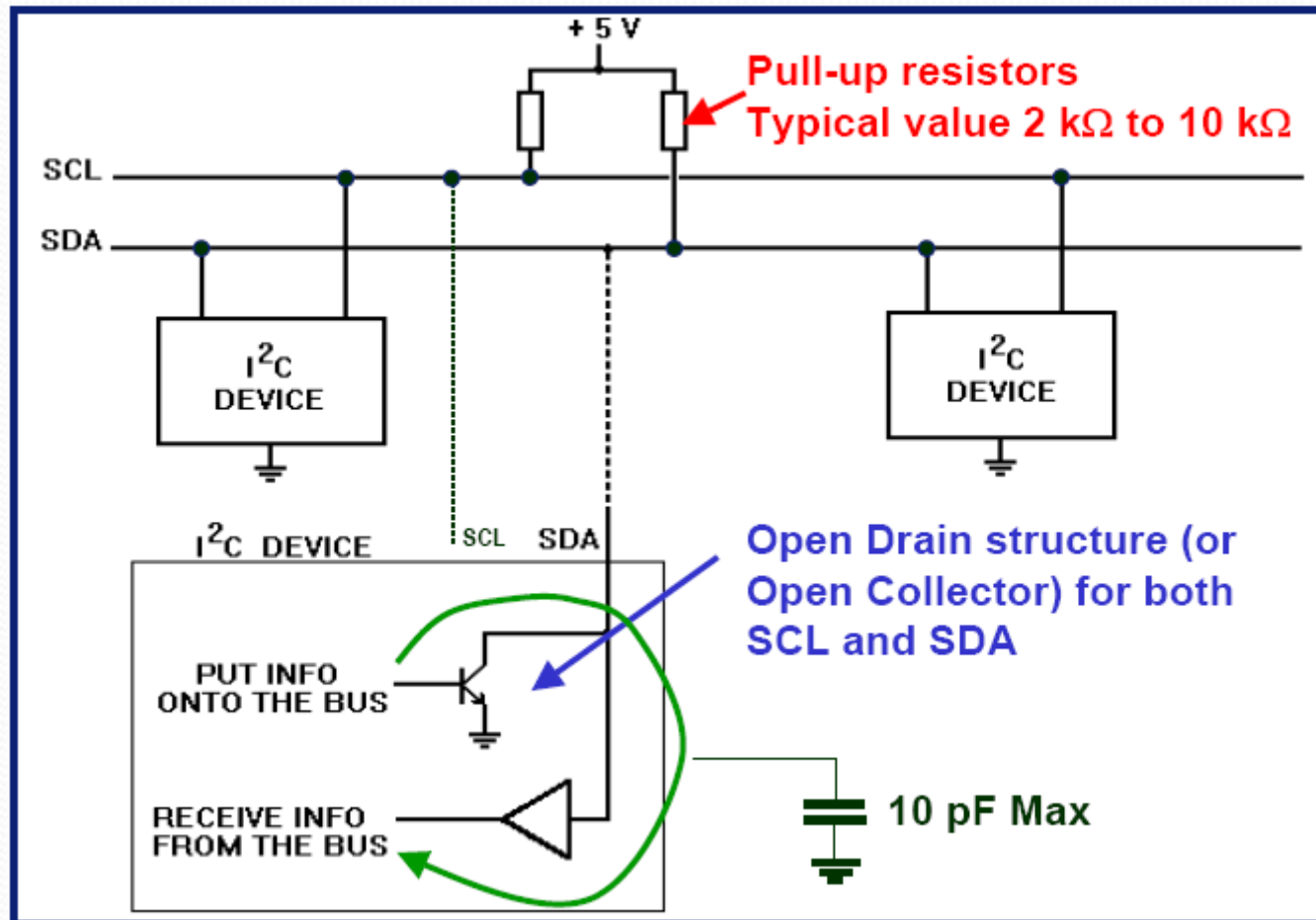


# I<sup>2</sup>C - (Inter-IC)



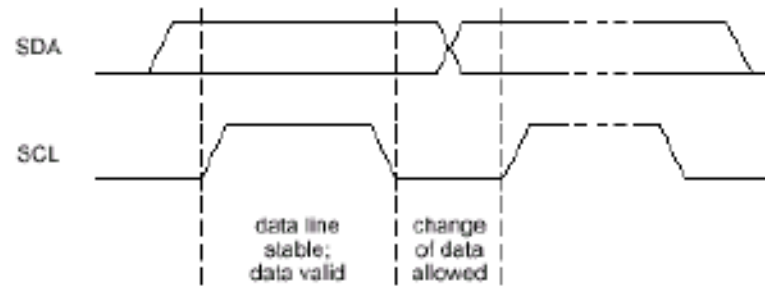
- Bus desarrollado por Philips en los 80's
- Bus simple y bi-direccional de 2 líneas:
  - serial data (SDA)
  - serial clock (SCL)
- Se ha convertido en estándar de la industria y es utilizado por los mayores productores de circuitos integrados (IC)
- Bus con capacidad Multi-master (arbitraje)
- Comunicación Master-Slave; Solamente entre dos dispositivos
- Cada IC en el bus se identifica a través de su propia dirección
- El slave puede ser:
  - Únicamente un dispositivo receptor
  - Transmisor con la capacidad de recibir y transmitir datos

# I<sup>2</sup>C – Arquitectura de Hardware



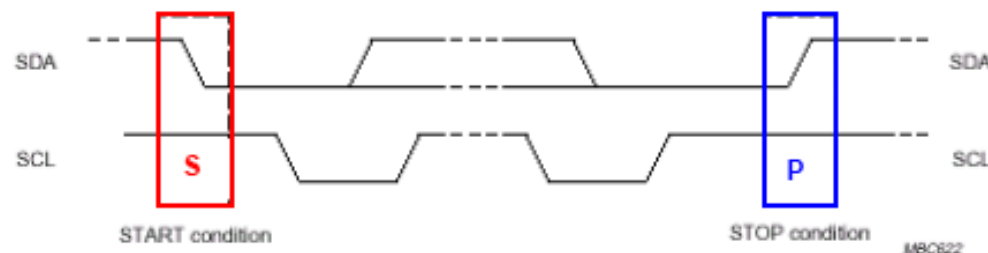
# I<sup>2</sup>C – condiciones de START/STOP

- Los datos en SDA tienen que ser estables con SCL en alto



Bit transfer on the I<sup>2</sup>C-bus.

- Las excepciones son las condiciones de START y STOP

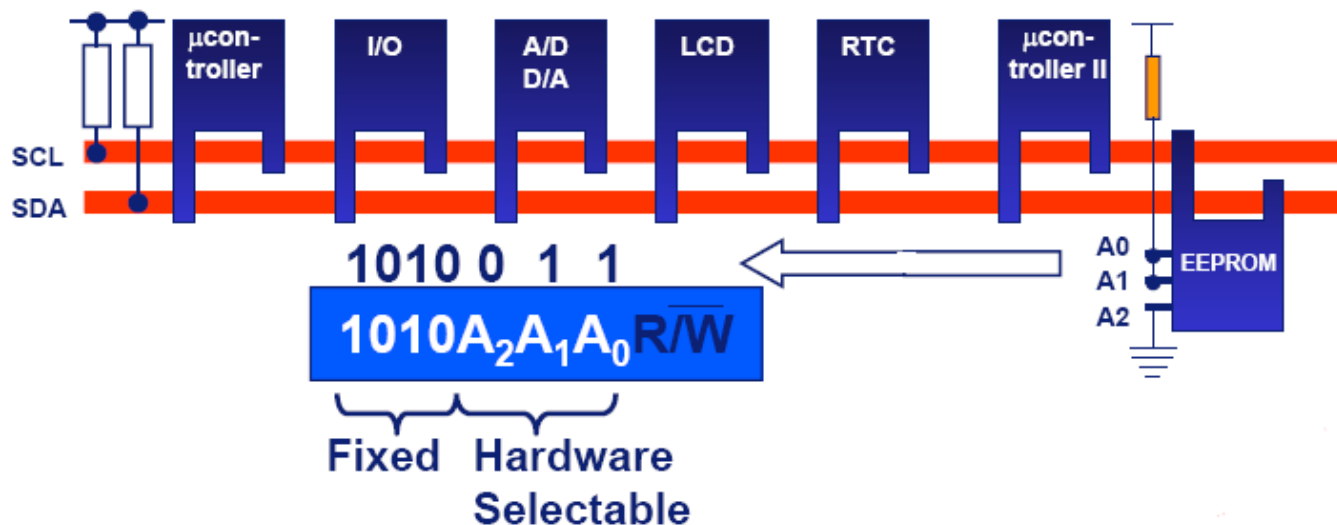


START and STOP conditions.



# I<sup>2</sup>C - Direccionamiento

- Cada dispositivo está direccionado individualmente por software
- Única dirección por dispositivo:
  - fijo o con una parte programable a través de pines de hardware
  - varios dispositivos pueden compartir el mismo bus
- Distribución de direcciones coordinado por I<sup>2</sup>C-bus committee

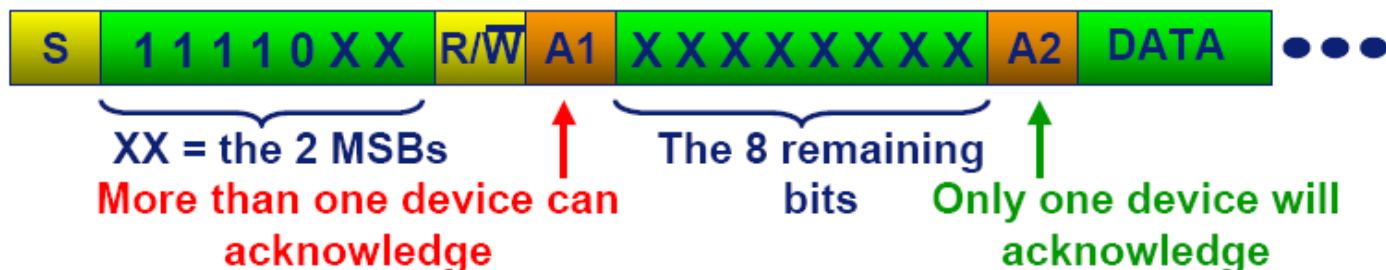


# I<sup>2</sup>C – formatos de 7-bit y 10-bit

- El 1º byte después del START determina la dirección del slave
- Algunas excepciones a la regla:
  - dirección “General Call”: 0000 000 + R/W = 0
  - direccionamiento slave de 10-bit: 1111 0XX + R/W = X
- Direccionamiento de 7-bits

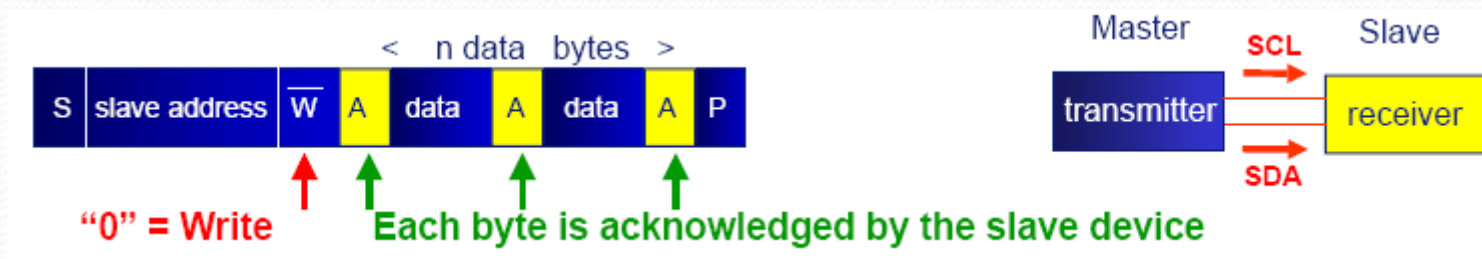


- Direccionamiento de 10-bits

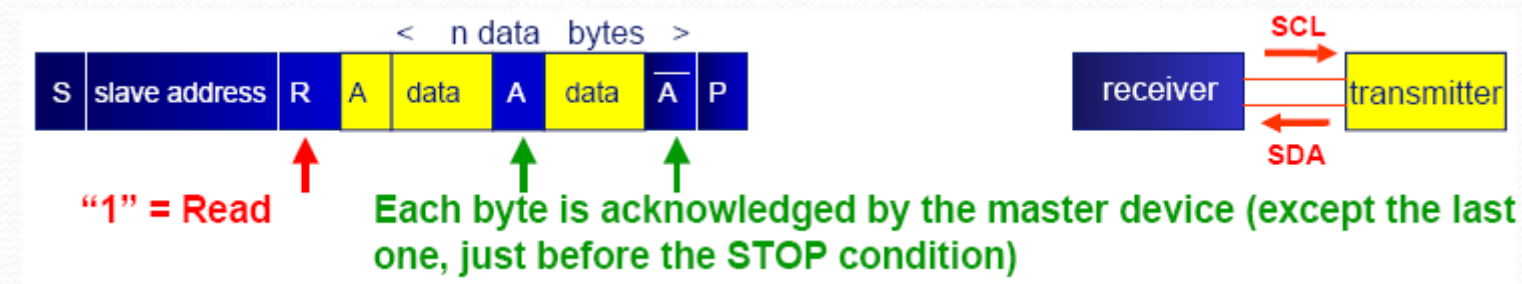


# I<sup>2</sup>C – Operaciones Lectura / Escritura

- Escritura a un dispositivo slave



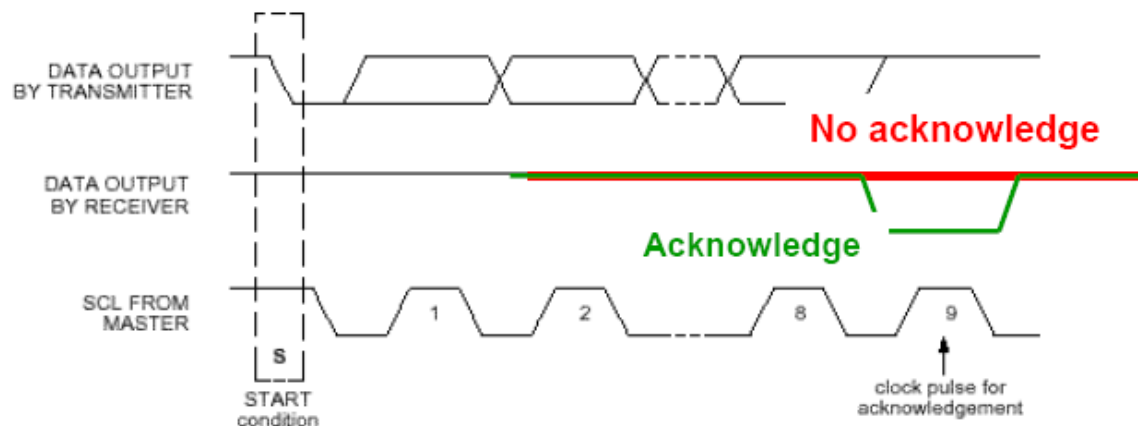
- Lectura de un dispositivo slave





# I<sup>2</sup>C – Operaciones Lectura / Escritura

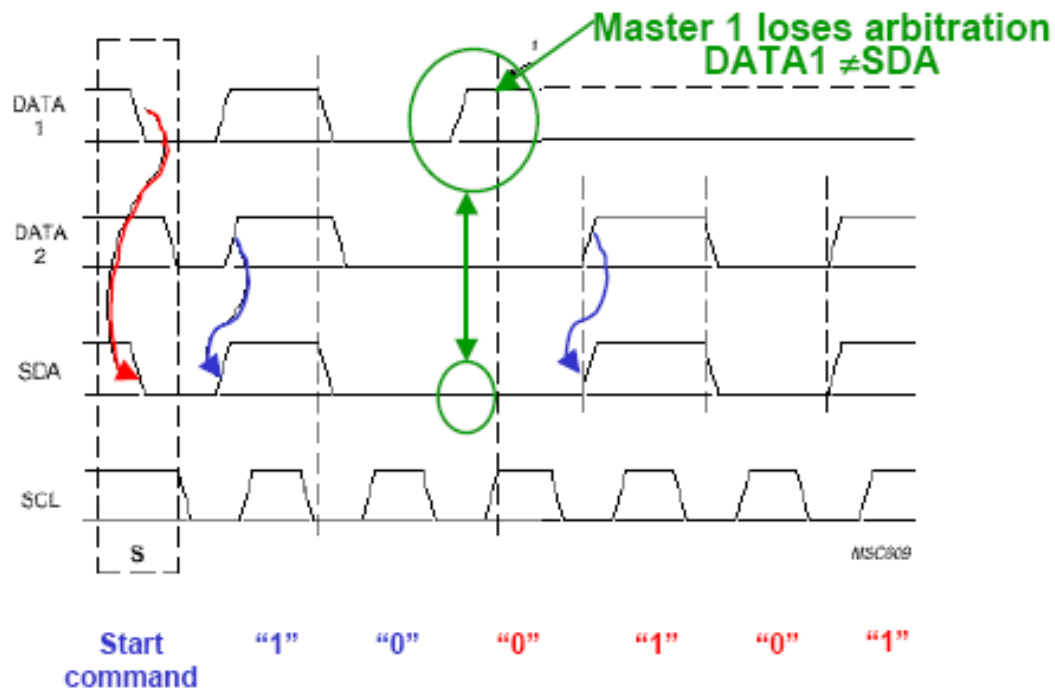
- Acknowledge
  - Es efectuado en el 9no pulso de clock y es obligatorio
  - El transmisor libera la línea SDA
  - El receptor pone en bajo la línea SDA (SCL tiene que estar en alto)
  - La transferencia se aborta si no hay acknowledge (ojo con debug!)



Acknowledge on the I<sup>2</sup>C-bus.

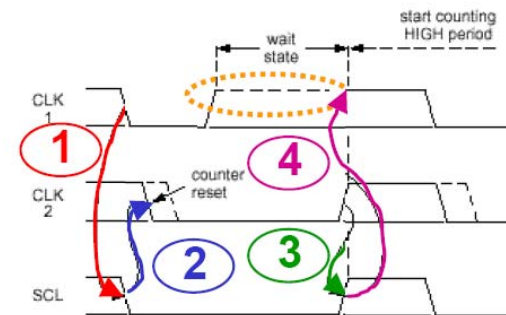
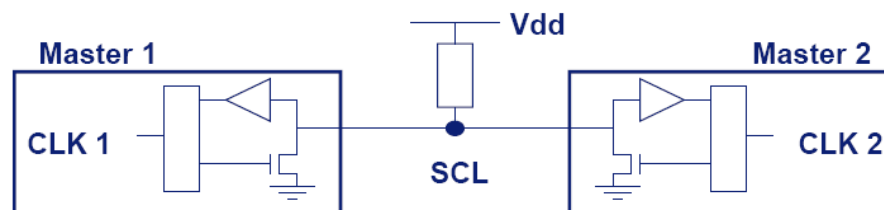
# I<sup>2</sup>C – Arbitraje

- Dos o más masters pueden generar una condición de START al mismo tiempo
- El arbitraje se efectúa sobre la línea SDA mientras SCL está en alto
  - Los slaves no están involucrados



# I<sup>2</sup>C – Sincronización del Clock

- Todos los masters generan su propio clock sobre la línea SCL para transmitir sus mensajes sobre el bus I<sup>2</sup>C
- Un clock definido es necesario para que el arbitraje bit a bit pueda ocurrir
- La sincronización del clock es efectuada a través de una compuerta AND en las interfaces I<sup>2</sup>C a la línea SCL



- El período **bajo** es determinado por el dispositivo con más largo período bajo
- El período **alto** es determinado por el dispositivo con más corto período alto

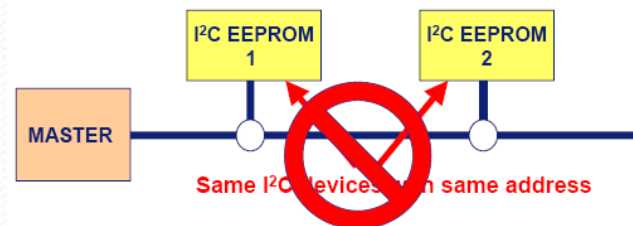


# I<sup>2</sup>C – Manejando I<sup>2</sup>C

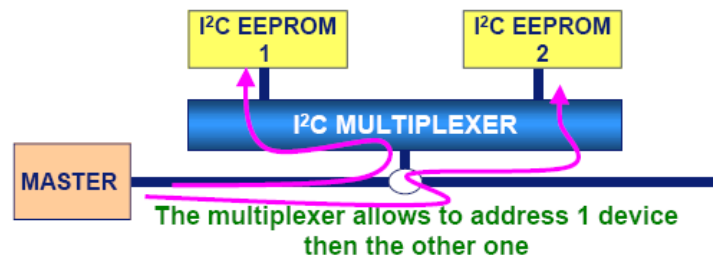
- Hay 3 maneras básicas de manejar el bus I<sup>2</sup>C:
- Con un microcontrolador con interfaz I<sup>2</sup>C on-chip
  - Bit oriented -CPU interrumpido después de cada transmisión de bit
  - Byte oriented -CPU puede ser interrumpido después de cada transmisión de byte
- Con cualquier microcontrolador: 'Bit Banging'
  - El protocolo I<sup>2</sup>C puede ser emulado bit a bit a través de cualquier puerto open drain bi-direccional
- Con un microcontrolador en conjunto con un integrado interfaz paralelo / bus I<sup>2</sup>C

# I<sup>2</sup>C – Conflicto de direccionamiento

- Cuando un dispositivo no puede cambiar su dirección I<sup>2</sup>C (fijo), solamente uno de su tipo puede estar conectado al bus

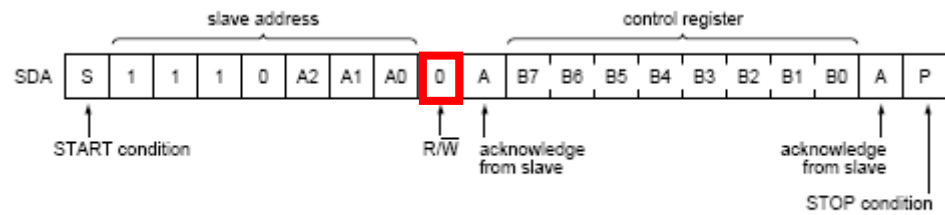


- Un multiplexor I<sup>2</sup>C puede ser utilizado para eliminar esta limitación
  - permite dividir dinámicamente el bus principal I<sup>2</sup>C en varias sub-ramas de modo de poder comunicarse con uno a la vez
  - programable a través de I<sup>2</sup>C: sin pines adicionales de control
  - más de un multiplexor puede conectarse al mismo bus I<sup>2</sup>C

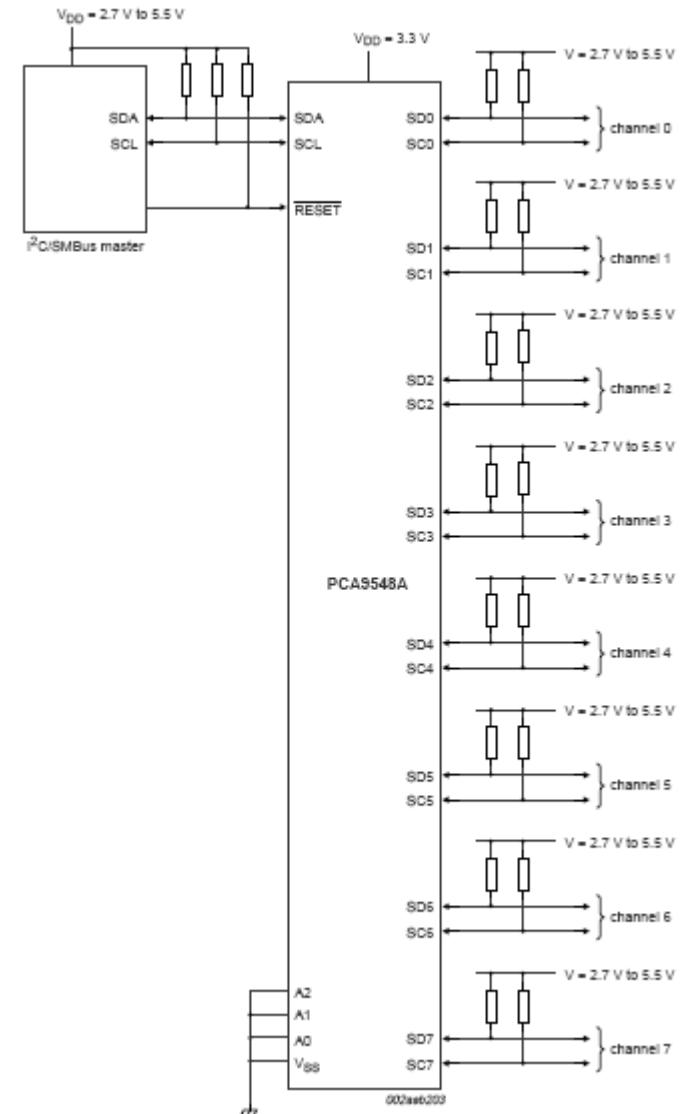


# I<sup>2</sup>C – PCA9548

- Precio: 1.28 U\$S (Mouser)
- 8-channel I<sup>2</sup>C-bus switch with reset



B7	B6	B5	B4	B3	B2	B1	B0	Command
X	X	X	X	X	X	X	0	channel 0 disabled
X	X	X	X	X	X	X	1	channel 0 enabled
X	X	X	X	X	X	0	X	channel 1 disabled
X	X	X	X	X	X	1	X	channel 1 enabled
X	X	X	X	X	0	X	X	channel 2 disabled
X	X	X	X	X	1	X	X	channel 2 enabled
X	X	X	X	0	X	X	X	channel 3 disabled
X	X	X	X	1	X	X	X	channel 3 enabled
X	X	X	0	X	X	X	X	channel 4 disabled
X	X	X	1	X	X	X	X	channel 4 enabled
X	X	0	X	X	X	X	X	channel 5 disabled
X	X	1	X	X	X	X	X	channel 5 enabled
X	0	X	X	X	X	X	X	channel 6 disabled
X	1	X	X	X	X	X	X	channel 6 enabled
0	X	X	X	X	X	X	X	channel 7 disabled
1	X	X	X	X	X	X	X	channel 7 enabled





# Fuentes

[http://www.nxp.com/documents/other/design\\_con\\_2003\\_tecforum\\_i2c\\_bus\\_overview.pdf](http://www.nxp.com/documents/other/design_con_2003_tecforum_i2c_bus_overview.pdf)

DesignCon 2003 TecForum I2C Bus Overview